

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

⑥

(11)Publication number : 08-330313

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H01L 21/321
H01L 21/768

(21)Application number : 07-259861

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 06.10.1995

(72)Inventor : AKAGAWA MASATOSHI

(30)Priority

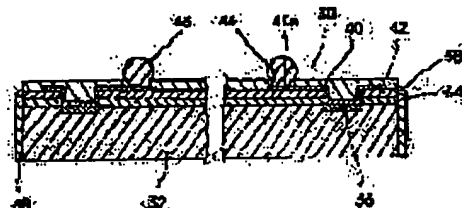
Priority number : 07 65607 Priority date : 24.03.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS FABRICATION

(57)Abstract:

PURPOSE: To provide an inexpensive semiconductor device in which the fabrication is facilitated by simplifying the structure.

CONSTITUTION: An interconnection pattern 40, connected with the electrode 36 of a semiconductor chip 32, is formed on the surface of a first insulation film 38 deposited on a passivation film 34 of the semiconductor chip 32. A second insulation film 42 is deposited on the interconnection pattern 40 while exposing the joint to the outer connection terminal and an outer connection terminal 46 is formed at the exposing joint to the outer connection terminal of the interconnection pattern 40.



LEGAL STATUS

[Date of request for examination] 12.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3356921

[Date of registration] 04.10.2002

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330313

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9169-4M	H 0 1 L 21/92	6 0 2 Z
21/768			21/90	A
		9169-4M	21/92	B
		9169-4M		6 0 2 L
				6 0 4 Z
審査請求 未請求 請求項の数9 O L (全 8 頁)				

(21)出願番号 特願平7-259861

(22)出願日 平成7年(1995)10月6日

(31)優先権主張番号 特願平7-65607

(32)優先日 平7(1995)3月24日

(33)優先権主張国 日本 (J P)

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72)発明者 赤川 雅俊

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

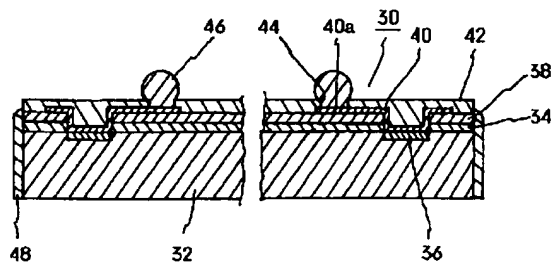
(74)代理人 弁理士 綿貫 隆夫 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 簡易な構成で製造が容易となり、安価にできる半導体装置を提供する。

【解決手段】 半導体チップ32のパッシベーション膜34上に形成された第1の絶縁皮膜38の表面に前記半導体チップ32の電極36に接続して配線パターン40が形成され、該配線パターン40上に配線パターン40の外部接続端子接合部を露出して第2の絶縁皮膜42が形成され、前記露出した外部接続端子接合部に外部接続端子46が形成されていることを特徴としている。



【特許請求の範囲】

【請求項 1】 パッシベーション膜が形成された半導体チップ面上に、該半導体チップの電極を露出して第 1 の絶縁皮膜が形成され、該第 1 の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出して第 2 の絶縁皮膜が形成され、前記露出した外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁皮膜が感光性ポリイミド膜により形成されたものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の絶縁皮膜が感光性ソルダーレジスト膜により形成されたものであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記外部接続端子がバンプであることを特徴とする請求項 1、2 または 3 記載の半導体装置。

【請求項 5】 前記半導体チップを複数備え、該複数の半導体チップ上に共通の前記第 1 の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより接続され、前記配線パターン上に共通の前記第 2 の絶縁皮膜が形成されていることを特徴とする請求項 1、2、3 または 4 記載の半導体装置。

【請求項 6】 前記第 2 の絶縁皮膜に形成された透孔の底面に露出した外部接続端子接合部に、該透孔の底面、内壁面および周縁部を被覆するランドが形成され、該ランドに前記外部接続端子が接続されていることを特徴とする請求項 1、2、3、4 または 5 記載の半導体装置。

【請求項 7】 電極を露出してパッシベーション膜が形成された半導体チップ面上に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第 1 の絶縁皮膜とした後、前記透孔を含む前記第 1 の絶縁皮膜の表面にスパッタリング等により導体層を被着形成し、該導体層にエッチングを施し前記透孔部分で前記電極と電氣的に導通する配線パターンを形成し、次いで、該配線パターンを含む前記第 1 の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターン上で露出する透孔を形成して第 2 の絶縁皮膜とし、該第 2 の絶縁皮膜の透孔位置にはんだボール等の外部接続端子を接続することを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 2 の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第 2 の絶縁皮膜に形成した透孔部分において前記第 1 の絶縁皮膜の表面に形成した配線パターンと電氣的に導通する配線パターンを形成した後、第 2 の絶縁皮膜の表面に感光性レジストを塗布してさらに上層の絶縁皮膜を形成することにより、配線パターン

を多層形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記パッシベーション膜上に半導体チップの電極部分を除いて、前記絶縁皮膜を形成する際等におけるフォトリソグラフィ工程で使用する紫外線から半導体チップの回路を保護する紫外線遮蔽層を設けた後、所要の絶縁皮膜の形成等の加工を施すことを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップサイズの半導体装置に関する。

【0002】

【従来の技術】半導体チップが搭載された半導体装置はその実装密度を高めるため小型化の要請が強い。この半導体装置の小型化は半導体チップを封入するパッケージの小型化に他ならない。この要請を満たすため、近年は CSP タイプ、すなわちチップ・サイズ・パッケージが出現している。CSP タイプには種々のものがあるが、図 1 1 にその一例を示す。10 は半導体チップ、12 はセラミック基板である。セラミック基板 12 は半導体チップ 10 とほぼ同サイズに形成されている。セラミック基板 10 上には配線パターン 14 が形成され、該配線パターン 14 はビア 16 を介してセラミック基板 12 下面側に所要配置で形成されたランド（外部端子）18 に接続されている。半導体チップ 10 は Au バンプ 20 と AgPd ペースト 22 を介して配線パターン 14 に接続され、半導体チップ 10 とセラミック基板 12 との間の隙間には樹脂 24 が封止される。

【0003】

【発明が解決しようとする課題】上記半導体装置によれば小型化が達成されるが、セラミック基板 10 を用いたり、Au バンプ 20 を用いたりしているのが高価となる。そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、簡易な構成で製造が容易となり、安価にできる半導体装置を提供するにある。

【0004】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、パッシベーション膜が形成された半導体チップ面上に、該半導体チップの電極を露出して第 1 の絶縁皮膜が形成され、該第 1 の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出して第 2 の絶縁皮膜が形成され、前記露出した外部接続端子接合部に外部接続端子が形成されていることを特徴とする。また、前記第 1 の絶縁皮膜が感光性ポリイミド膜により形成されたものであることを特徴とする。また、前記第 2 の絶縁皮膜が感光性ソルダーレジスト膜により形成されたものである

ことを特徴とする。また、前記外部接続端子がバンブであることを特徴とする。また、前記半導体チップを複数備え、該複数の半導体チップ上に共通の前記第1の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより接続され、前記配線パターン上に共通の前記第2の絶縁皮膜が形成されていることを特徴とする。また、前記第2の絶縁皮膜に形成された透孔の底面に露出した外部接続端子接合部に、該透孔の底面、内壁面および周縁部を被覆するランドが形成され、該ランドに前記外部接続端子が接続されていることを特徴とする。また、半導体装置の製造方法において、電極を露出してパッシベーション膜が形成された半導体チップ面上に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第1の絶縁皮膜とした後、前記透孔を含む前記第1の絶縁皮膜の表面にスパッタリング等により導体層を被着形成し、該導体層にエッチングを施し前記透孔部分で前記電極と電気的に導通する配線パターンを形成し、次いで該配線パターンを含む前記第1の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターン上で露出する透孔を形成して第2の絶縁皮膜とし、該第2の絶縁皮膜の透孔位置にはんだボール等の外部接続端子を接続することを特徴とする。また、前記第2の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第2の絶縁皮膜に形成した透孔部分において前記第1の絶縁皮膜の表面に形成した配線パターンと電気的に導通する配線パターンを形成した後、第2の絶縁皮膜の表面に感光性レジストを塗布してさらに上層の絶縁皮膜を形成することにより、配線パターンを多層形成することを特徴とする。また、前記パッシベーション膜上に半導体チップの電極部分を除いて、前記絶縁皮膜を形成する際等におけるフォトリソグラフィ工程で使用する紫外線から半導体チップの回路を保護する紫外線遮蔽層を設けた後、所要の絶縁皮膜の形成等の加工を施すことを特徴とする。

【0005】

【作用】本発明に係る半導体装置によれば、インターポーザとなる第1および第2の絶縁皮膜は薄く形成できるので、薄い半導体装置に形成でき、コストの低減化も図れる。第1、第2の絶縁皮膜は硬度がそれほど高くないので、半導体チップ表面を保護したり、半導体チップと実装基板との間に生じる熱的または機械的応力を緩和する緩衝層としても機能するという効果を奏する。また複数の半導体チップの所要の電極同士を電気的に接続することで信号の遅延防止等の電気的特性の向上が図れ、また第1および第2の絶縁皮膜を共通に形成することで製造も容易となる効果を奏する。また、本発明に係る半導体装置の製造方法によれば、チップサイズの半導体装置を容易に得ることができ、紫外線遮蔽層を設けた場合にはネガティブ型の半導体装置の製造にとくに有効であ

る。

【0006】

【発明の実施の形態】以下、本発明の好適な実施形態を添付図面に基づいて詳細に説明する。図1は半導体装置30の断面図を示す。32は半導体チップ、34はSiO₂等からなるパッシベーション膜、36は半導体チップ32に作り込まれた電極であるAlパッドである。Alパッド36の部位のパッシベーション膜34は形成されず、Alパッド36は露出している。Alパッド36は所要のパターンで半導体チップ32上に多数形成されている。38は第1の絶縁皮膜であり、パッシベーション膜34を覆って形成されている。この第1の絶縁皮膜38は感光性ポリイミド等の感光性レジストを用いて形成できる。なお、場合によっては、半導体チップ32にパッシベーション膜を設けずに、第1の絶縁皮膜38にパッシベーション膜の機能を兼ねさせても良い。

【0007】40は配線パターンであり、Alパッド36と電気的に接続されて、所要のパターンで第1の絶縁皮膜38上に形成されている。配線パターン40は、スパッタリングによりCuまたはAl皮膜を第1の絶縁皮膜38上およびAlパッド36上に形成し、このCuまたはAl皮膜をエッチングして所要パターンに形成される。また銅箔等の金属箔を貼着し、エッチングしてパターンを形成してもよい。42は第2の絶縁皮膜であり、第1の絶縁皮膜38および配線パターン40を覆って形成されている。第2の絶縁皮膜42は保護膜であり、ポリイミド等の種々の材質の感光性ソルダーレジストを用いることができる。

【0008】第2の絶縁皮膜42の各配線パターン40に対応する適宜部位には、例えば第2の絶縁皮膜42上にマトリックス状の配置となるように透孔44が形成されている（透孔44により露出する配線パターン40の部分が外部接続端子接合部40a）。46は外部接続端子であるバンブであり、各透孔44を通じて各外部接続端子接合部40aに電気的に接続して配置され、第2の絶縁皮膜42上に突出して外部接続端子に形成されている。バンブ46は図示のごとくボールバンブに形成することもできるが、平坦なランド状その他の形状に形成できる。また、バンブ状に形成するかわりにリードピンを接合して外部接続端子とすることもできる。48は保護膜であり、半導体チップ32、パッシベーション膜34、第1の絶縁皮膜38の側壁を覆って形成され、各層の境界からの湿気の進入等を防止する。保護膜48は第1の絶縁皮膜38と同材質のものをを用い、第1の絶縁皮膜38を形成するとき同時に形成するようにすると好適である。なお、保護膜48は必ずしも設けなくともよい。また保護膜に代えて金属等よりなる枠体を固着してもよい。

【0009】本実施形態の半導体装置は上記のように形成されているので、半導体チップ32と同サイズの半導

体装置30として形成できる。またインターポーザとなる第1および第2の絶縁皮膜38、42は薄く形成できるので、薄い半導体装置30に形成できる。第1、第2の絶縁皮膜38、42は硬度がそれほど高くないので、半導体チップ32表面を保護したり、半導体チップと実装基板との間に生じる応力を緩和する緩衝層としても機能する。なお、半導体チップ32の電極が形成された面と反対側の面は露出させて放熱性を高めるようにすると好適である。さらに放熱性を向上させるために、ヒートシンクまたはヒートスプレッダーを固着してもよい。

【0010】図2は上記半導体装置30の製造工程の一例を示す。まず半導体チップ32が多数作り込まれたウェハー（図示せず）表面上に第1の絶縁皮膜38を形成するための感光性レジスト（感光性ポリイミド）を塗布する。次いで、感光性レジストの仮焼をすると共に、Alパッド36の部分の感光性レジストを取り除く為に、公知のフォトリソグラフィ工程により、露光、現像を行い、焼成して第1の絶縁皮膜38を形成する。次に銅のスパッタリングを行い、第1の絶縁皮膜38上およびAlパッド36上に銅皮膜を形成する（銅皮膜は配線パターンを形成するための導体層として設けるもので、アルミニウム皮膜等を形成してもよい）。銅皮膜上にさらに銅めっきを施すことによって導通を良好にさせることができる。なお銅皮膜は蒸着等その他の方法によって形成してもよい。

【0011】銅皮膜上に感光性レジストを塗布し、露光、現像、焼成してレジストパターンを形成し、このレジストパターンをマスクとしてエッチングして配線パターン40を形成する。その後レジストパターンは剥離する。次に第2の絶縁皮膜42を形成すべく、第1の絶縁皮膜38上および配線パターン40上に感光性レジスト（感光性ソルダーレジスト）を塗布し、露光、現像して透孔44を形成する。この透孔44内にはんだボール（パンプ46）を配置し、リフローしてはんだボールを配線パターン40上に固定する。なお、パンプはNiめっき、Auめっきを施して、Ni-Auパンプを形成することにより設けてもよい。上記のように処理したウェハーをスライスして個片の半導体装置30を形成する。必要に応じて半導体装置30の側壁にレジストを塗布し、乾燥させて保護膜48を形成する。上記のようにウェハー上に同時に作り込むことにより、一時に多数の半導体装置30を形成することができ、コストの低減化が図れる。なお、ウェハーをスライスして個片の半導体チップ32に形成した後、上記と同様の工程で半導体装置30に完成させてもよい。

【0012】本実施形態では第1の絶縁皮膜38および第2の絶縁皮膜42を形成するため感光性ポリイミド、感光性ソルダーレジストを使用したのがこれら第1の絶縁皮膜38、第2の絶縁皮膜42としては種々の素材が使用でき、ポリイミド系樹脂の他、エポキシ系樹脂、シリ

コン系樹脂等を使用することができ、各絶縁皮膜で適宜樹脂を選択して使用することができる。シリコン樹脂の場合はゴム状の弾性を有するので、特に半導体チップと実装基板との間に生じる応力を緩和することができる。

【0013】図3は半導体装置30の第2の実施形態を示す。本実施形態では、複数の半導体チップ32をヒートスプレッダー等の共通の基板47上に搭載し、該複数の半導体チップ32上に、前記と同様にして共通の第1の絶縁皮膜38を形成し、該絶縁皮膜38上に各半導体チップ32に対応する各配線パターン40と、隣接する半導体チップ32を電気的に接続するための電極36同士間を接続する配線パターン45とを前記実施形態と同様にして形成し、その上に前記と同様にして共通の第2の絶縁皮膜42を形成し、各配線パターン40の外部接続端子接合部40aにパンプ46を形成するようにしたものである。すなわち複数の半導体チップ32を用いた1つの半導体装置30に形成したものである。複数の半導体チップ32としては、例えばMPUとキャッシュメモリ、複数のメモリ同士などを接続できる。

【0014】本実施形態では、複数の半導体チップを共通の基板上に形成し、接続パッド間を電気的に接続したので、配線を短くでき、信号の遅延防止等の電気的特性に優れた半導体装置（マルチチップモジュール）を提供し得る。また第1および第2の絶縁皮膜を共通にして形成することで製造も容易となる。なお複数の半導体チップ32の側面を共通の枠体（図示せず）で保持すれば、半導体チップを共通の基板47上にのせる必要はない。また複数の半導体チップを共通のウェハー上に形成することもできる。本実施形態の半導体装置30も上記と同様の工程で製造できる。

【0015】図4は上記の半導体装置の製造工程において、透孔44内にはんだボール（パンプ46）を配置して配線パターン40上に固定する際に、透孔44の内面および透孔44の周縁にあらかじめランド50を設けてからはんだボールを固定した例を示す。ランド50を形成するには、透孔44を有する第2の絶縁皮膜42を形成した後、絶縁皮膜42の表面に銅等をスパッタリングして金属層を形成し、フォトリソグラフィ工程により透孔44の内部と周縁部のみ金属層を残すようにエッチングすればよい。ランド50は底面で配線パターン40の外部端子接合部40aに接続し透孔44の内面および周縁部を被覆していることにより、透孔44にランド50を設けない場合に比較してはんだボール（パンプ46）は透孔44の内面全体と接合し確実に取り付けられる。また、はんだボールと配線パターン40との電気的導通が確実になる。なお、金属層をエッチングしてランド50を形成した後、ランド50の表面に保護めっきとしてニッケルめっき、金めっきを施すとさらに確実にパンプ46を接合することができる。

【0016】図5は配線パターン40を多層形成した半導体装置の例を示す。この実施形態の半導体装置は第1の絶縁皮膜38と第2の絶縁皮膜42に加えて、第3の絶縁皮膜52と第4の絶縁皮膜54を有する。第2の絶縁皮膜42の表面には第1の絶縁皮膜38の表面に設けた配線パターン40と電氣的に導通する配線パターン40bが設けられ、第3の絶縁皮膜52の表面には配線パターン40bと電氣的に導通する配線パターン40cが設けられている。第4の絶縁皮膜54には配線パターン40cに電氣的に導通してランド50が取り付けられ、ランド50にパンプ46が接合されている。

【0017】各層間の配線パターン40を電氣的に接続する方法としては、前述した実施形態で第1の絶縁皮膜38と第2の絶縁皮膜42を形成して配線パターン40とランド50とを接続する方法がそのまま適用できる。すなわち、絶縁皮膜を形成するためポリイミド系あるいはエポキシ系等の感光性レジストを塗布し、露光、現像することにより層間で配線パターン40を接続する部位に透孔を形成した後、絶縁皮膜の表面に銅等の導体金属をスパッタリングあるいは蒸着により形成し、形成された導体層をエッチングすることにより下層の配線パターン40と電氣的に接続しつつ配線パターンを形成する。次層についても、同様に当該絶縁皮膜上に感光性レジストを塗布し、表面を平坦にし、露光、現像して透孔を形成し、絶縁皮膜上に導体層を形成し、エッチングして当該層上に配線パターンを形成する。

【0018】このように、絶縁皮膜を介して電氣的導通をとりながら配線パターン40を多層に形成することができる。図5に示す実施形態では最外層である第4の絶縁皮膜54にランド50を形成してはんだボール（パンプ46）を接合している。このように配線パターン40を多層形成することにより、配線パターン40を形成する自由度が大きくなる。図6は配線パターン40を多層形成した場合の応用例として、コンデンサ56あるいは抵抗58といった回路用素子を組み込んだ例を示す。配線パターン40を多層形成した場合はこのように回路用素子を組み込むことが容易になり、より多用途の半導体装置として提供することが可能になる。コンデンサや抵抗は、スパッタリング等の薄膜工程によりつくり込むことができる。

【0019】上述した各半導体装置の製造工程においては絶縁皮膜を形成するために感光性レジストを使用し、フォトリソグラフィ工程により絶縁皮膜に透孔44を形成したり絶縁皮膜の表面に配線パターンを形成したりする。このフォトリソグラフィ工程では露光に紫外線が使用されることから、実際の半導体装置の製造工程においては紫外線の露光によって半導体素子に形成された回路が損傷されないようにする必要がある。なお、この紫外線による露光が半導体チップに悪影響を与えるのはネガティブ型の感光性レジストを使用する場合である。

ネガティブ型の感光性レジストでは露光した部位が現像時に溶解しない部位となるから、露光する際には後工程で溶解除去する部位をマスクし、最終的に残す部位を露光する。たとえば、図7に示すようにパッシベーション膜34上に第1の絶縁皮膜38を形成する場合は、感光性レジストを塗布した後、Alパッド36をマスクしてこれ以外の範囲を露光する。このため、マスクしたAlパッド36以外の範囲に紫外線が照射され、感光性レジストとパッシベーション膜34を通して半導体チップ32の表面まで紫外線が透過し、これによって半導体チップ32が損傷される場合がある。

【0020】なお、ポジティブ型の感光性レジストは露光した部位が溶解除去される。したがって、上記の第1の絶縁皮膜38でAlパッド36の部分に透孔を形成する例では、感光性レジストを塗布した後、Alパッド36以外の範囲をマスクしてAlパッド36部分にのみ紫外線を照射する。Alパッド36の部分には回路が形成されていないから、この紫外線照射によって半導体チップ32の回路が損傷される心配はない。なお、第1の絶縁皮膜38や第2の絶縁皮膜42の表面に配線パターン40を形成するためのフォトリソグラフィ工程においても、ポジティブ型の感光性レジストを使用する場合は、かならず配線パターン40を形成するための銅層等の金属層が下地にある部分に紫外線照射を行うから、半導体チップ32の回路が損傷される心配はない。

【0021】上記のネガティブ型の感光性レジストを使用するフォトリソグラフィ工程で半導体チップ32が損傷を受けることを防止する方法としては、図8に示すようにパッシベーション膜34の表面にフォトリソグラフィ工程で使用する紫外線を遮蔽する紫外線遮蔽層60を設ける方法が有効である。紫外線遮蔽層60は半導体チップ32に形成された回路を紫外線から保護するもので、図8に示すようにAlパッド36を除く範囲について第1の絶縁皮膜38を形成する前に設ける。紫外線遮蔽層60はCr金属層、Cu金属層、あるいはCr金属層-Ni金属層-Cu金属層等の複数の金属層によって形成する。Cr金属層を用いる場合は、0.1μm程度の厚さで十分紫外線遮蔽の機能がある。紫外線遮蔽層60を形成する場合は、まず半導体チップ32のパッシベーション膜34上にスパッタリングあるいは蒸着等によってCr金属層等を形成し、その表面にAlパッド36部分のみ露出させたエレジストパターンを形成し、レジストパターンをマスクとしてCr金属層等をエッチングすることによって形成する。

【0022】上記の紫外線遮蔽層60を設けておけば、ネガティブ型の感光性レジストを使用して絶縁皮膜を形成する場合であってもフォトリソグラフィ工程で半導体チップ32が紫外線によって損傷を受ける心配がなく、任意のパターンで紫外線照射することができる。図9は、第1の絶縁皮膜38を形成するためネガティブ型

の感光性レジストを塗布して露光している状態を示す。感光性レジストの下層に設けた紫外線遮蔽層 60 によって紫外線が遮蔽され半導体チップ 32 の回路を保護して露光することができる。第 1 の絶縁皮膜 38 の表面に配線パターン 40 を設けた後、さらに第 2 の絶縁皮膜 42 を形成する場合の露光についても同様である。図 10 は図 4 に示す半導体装置の形成例で紫外線遮蔽層 60 を設けて得られた半導体装置を示している。図 4 に示す実施形態とはパッシベーション膜 34 上に紫外線遮蔽層 60 を設けた点のみ相違している。配線パターン 40 を多層形成する半導体装置の場合も同様に紫外線遮蔽層 60 を設けて形成することができる。なお、紫外線遮蔽層 60 を設けた場合でももちろん、ネガティブ型の感光性レジストに限らずポジティブ型の感光性レジストを使用してもかまわない。

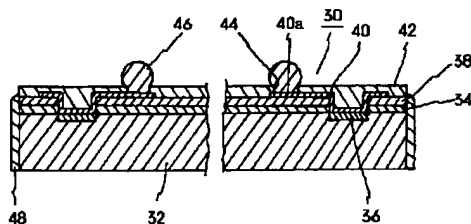
【0023】

【発明の効果】本発明に係る半導体装置によれば、上述したように、インターポーザとなる第 1 および第 2 の絶縁皮膜は薄く形成できるので、薄い半導体装置に形成でき、コストの低減化も図れる。第 1、第 2 の絶縁皮膜は硬度がそれほど高くないので、半導体チップ表面を保護したり、半導体チップと実装基板との間に生じる応力を緩和する緩衝層としても機能する。また複数の半導体チップの所要の電極を電氣的に接続することで信号の遅延防止等の電気的特性の向上が図れ、また第 1 および第 2 の絶縁皮膜を共通に形成することで製造も容易となる効果を奏する。また、本発明に係る半導体装置の製造方法によれば、チップサイズの半導体装置を容易にかつ確実に得ることができ、配線パターンを多層形成することによって配線パターンを形成する自由度を増大させることができ、紫外線遮蔽層を設けたものではとくにネガティブ型の感光性レジストを使用して製造する場合に好適である等の著効を奏する。

【図面の簡単な説明】

【図 1】半導体装置の第 1 の実施形態を示した断面図である。

【図 1】



【図 2】半導体装置の製造工程図である。

【図 3】半導体装置の第 2 の実施形態を示した断面図である。

【図 4】バンプ接合部にランドを形成した半導体装置の実施形態を示した断面図である。

【図 5】配線パターンを多層形成した半導体装置の実施形態を示した断面図である。

【図 6】回路用素子を組み込んだ半導体装置の実施形態を示した断面図である。

10 【図 7】感光性レジストを露光する様子を示した断面図である。

【図 8】パッシベーション膜上に紫外線遮蔽層を設けた断面図である。

【図 9】第 1 の絶縁皮膜を形成する際の露光の様子を示した断面図である。

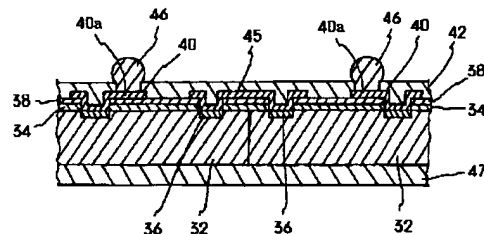
【図 10】紫外線遮蔽層を設けた半導体装置の実施形態を示した断面図である。

【図 11】従来の半導体装置の一例を示す断面図である。

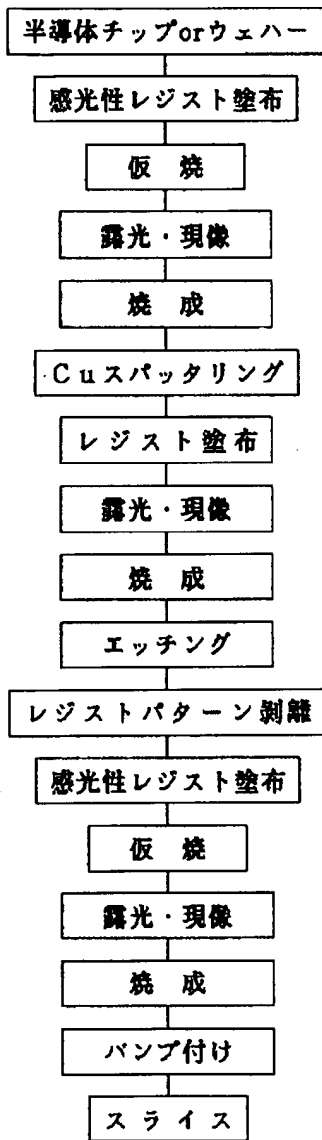
【符号の説明】

- 30 半導体装置
- 32 半導体チップ
- 34 パッシベーション膜
- 36 Alパッド
- 38 第 1 の絶縁皮膜
- 40、40b、40c 配線パターン
- 40a 外部接続端子接合部
- 42 第 2 の絶縁皮膜
- 44 透孔
- 46 保護膜
- 48 ランド
- 50 第 3 の絶縁皮膜
- 52 第 4 の絶縁皮膜
- 54 コンデンサー
- 56 抵抗
- 58 紫外線遮蔽層

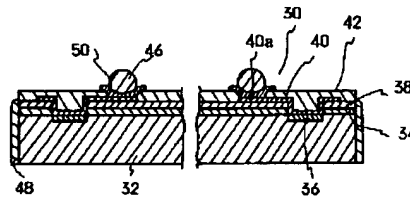
【図 3】



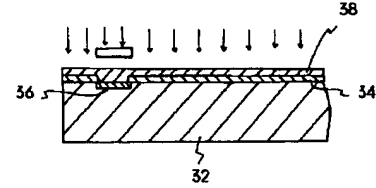
【図2】



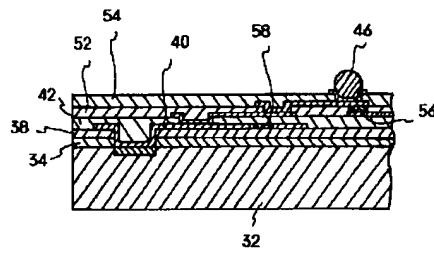
【図4】



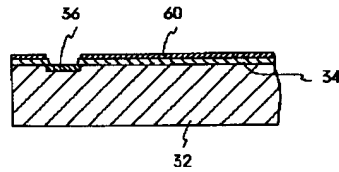
【図7】



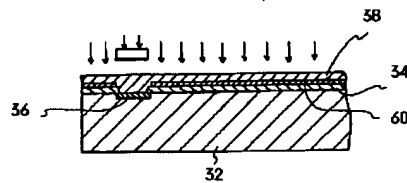
【図6】



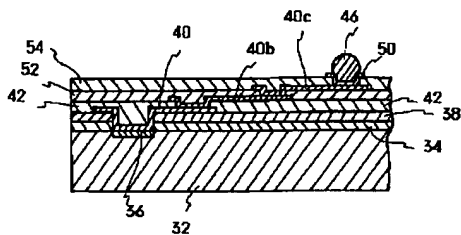
【図8】



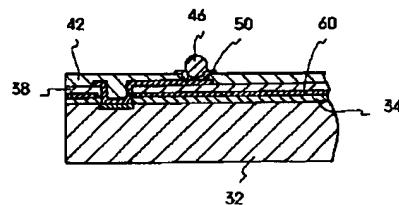
【図9】



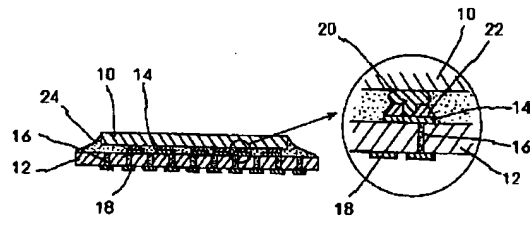
【図5】



【図10】



【図11】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 4 月 13 日 (2001. 4. 13)

【公開番号】特開平 8-330313
 【公開日】平成 8 年 12 月 13 日 (1996. 12. 13)
 【年通号数】公開特許公報 8-3304
 【出願番号】特願平 7-259861
 【国際特許分類第 7 版】

H01L 21/321
 21/768

【F I】

H01L 21/92 602 Z
 21/90 A
 B
 21/92 602 L
 604 Z

【手続補正書】

【提出日】平成 12 年 5 月 12 日 (2000. 5. 12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 パッシベーション膜が形成された半導体チップ面に、該半導体チップの電極を露出する透孔を設けた第 1 の絶縁皮膜が形成され、該第 1 の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出する透孔を設けた第 2 の絶縁皮膜が形成され、露出した前記外部接続端子接合部に外部接続端子が接続されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁皮膜が、感光性ポリイミド膜により形成されたものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の絶縁皮膜が、感光性ソルダーレジスト膜により形成されたものであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記外部接続端子が、バンブ状に形成されたものであることを特徴とする請求項 1、2 または 3 記載の半導体装置。

【請求項 5】 前記パッシベーション膜の表面に紫外線遮蔽層が設けられていることを特徴とする請求項 1、2、3 または 4 記載の半導体装置。

【請求項 6】 前記半導体チップを複数備え、該複数の半導体チップ面に共通の前記第 1 の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配

線パターンにより接続され、前記配線パターンを含む第 1 の絶縁皮膜の表面に共通の前記第 2 の絶縁皮膜が形成されていることを特徴とする請求項 1、2、3、4 または 5 記載の半導体装置。

【請求項 7】 前記外部接続端子が、前記第 2 の絶縁皮膜に形成された透孔の底面、内壁面および周縁部を被覆して形成されたランドを介して外部接続端子接合部に接続されていることを特徴とする請求項 1、2、3、4、5 または 6 記載の半導体装置。

【請求項 8】 電極を露出してパッシベーション膜が形成された半導体チップ面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第 1 の絶縁皮膜とした後、前記透孔を含む前記第 1 の絶縁皮膜の表面にスパッタリング等により導体層を形成し、該導体層にエッチングを施して前記透孔内の導体層を介して前記電極と電氣的に導通する配線パターンを形成した後、該配線パターンを含む前記第 1 の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターンの外部接続端子接合部を露出する透孔を形成して第 2 の絶縁皮膜とし、該第 2 の絶縁皮膜から露出する前記外部接続端子接合部の位置に外部接続端子を接続することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体チップが多数作り込まれたウェハの電極を露出してパッシベーション膜が形成された面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第 1 の絶縁皮膜とした後、前記透孔を含む前記第 1 の絶縁皮膜の表面にスパッタリング等により導体層を形成し、該導体層にエッチングを

施して前記透孔内の導体層を介して前記電極と電氣的に導通する配線パターンを形成した後、
該配線パターンを含む前記第 1 の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターンの外部接続端子接合部を露出する透孔を形成して第 2 の絶縁皮膜とし、
該第 2 の絶縁皮膜から露出する前記外部接続端子接合部の位置に外部接続端子を接続し、
前記ウェハーを個片の半導体チップに分離することを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 2 の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第 2 の絶縁皮膜に形成した透孔部分において前記第 1 の絶縁皮膜の表面に形成した配線パターンと電氣的に導通する配線パターンを形成した後、
該配線パターンを含む第 2 の絶縁皮膜の表面にさらに上層の絶縁皮膜および配線パターンを順次形成することにより、配線パターンを多層に形成することを特徴とする請求項 8 または 9 記載の半導体装置の製造方法。

【請求項 11】 前記パッシベーション膜が形成された面に、紫外線遮蔽層を設け、前記半導体チップの電極に対応する部位よりも広く前記紫外線遮蔽層を除去した後、第 1 の絶縁皮膜を形成することを特徴とする請求項 8、9 または 10 記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明はチップサイズの半導体装置及びその製造方法に関する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明が解決しようとする課題】上記半導体装置によれば小型化が達成されるが、セラミック基板 10 を用いたり、Auバンプ 20 を用いたりしているので高価になる。そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、簡易な構成で製造が容易となり、安価にできる半導体装置およびその製造方法を提供するにある。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、パッシベーション膜が形成された半導体チップ面に、該半導体チップの電極を露出する透孔を設けた第 1 の絶縁皮膜が形成され、該第 1 の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出する透孔を設けた第 2 の絶縁皮膜が形成され、露出した前記外部接続端子接合部に外部接続端子が接続されていることを特徴とする。また、前記第 1 の絶縁皮膜が、感光性ポリイミド膜により形成されたものであることを特徴とする。また、前記第 2 の絶縁皮膜が、感光性ソルダーレジスト膜により形成されたものであることを特徴とする。また、前記外部接続端子が、バンプ状に形成されたものであることを特徴とする。また、前記パッシベーション膜の表面に紫外線遮蔽層が設けられていることを特徴とする。また、前記半導体チップを複数備え、該複数の半導体チップ面に共通の前記第 1 の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより接続され、前記配線パターンを含む第 1 の絶縁皮膜の表面に共通の前記第 2 の絶縁皮膜が形成されていることを特徴とする。また、前記外部接続端子が、前記第 2 の絶縁皮膜に形成された透孔の底面、内壁面および周縁部を被覆して形成されたランドを介して外部接続端子接合部に接続されていることを特徴とする。また、半導体装置の製造方法において、電極を露出してパッシベーション膜が形成された半導体チップ面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第 1 の絶縁皮膜とした後、前記透孔を含む前記第 1 の絶縁皮膜の表面にスパッタリング等により導体層を形成し、該導体層にエッチングを施して前記透孔内の導体層を介して前記電極と電氣的に導通する配線パターンを形成した後、該配線パターンを含む前記第 1 の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターンの外部接続

端子接合部を露出する透孔を形成して第 2 の絶縁皮膜とし、該第 2 の絶縁皮膜から露出する前記外部接続端子接合部の位置に外部接続端子を接続し、前記ウェハーを個片の半導体チップに分離することを特徴とする。また、前記第 2 の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第 2 の絶縁皮膜に形成した透孔部分において前記第 1 の絶縁皮膜の表面に形成した配線パターンと電氣的に導通する配線パターンを形成した

後、該配線パターンを含む第 2 の絶縁皮膜の表面にさらに上層の絶縁皮膜および配線パターンを順次形成することにより、配線パターンを多層に形成することを特徴とする。また、前記パッシベーション膜が形成された面に、紫外線遮蔽層を設け、前記半導体チップの電極に対応する部位よりも広く前記紫外線遮蔽層を除去した後、第 1 の絶縁皮膜を形成することを特徴とする。

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the semiconductor chip side in which the passivation film was formed, expose the electrode of this semiconductor chip and the 1st insulating coat is formed. Connect with the electrode of said semiconductor chip and a circuit pattern is formed in the front face of the 1st insulating coat. this -- The semiconductor device characterized by exposing the external connection terminal joint of a circuit pattern, forming the 2nd insulating coat on this circuit pattern, and forming the external connection terminal in said exposed external connection terminal joint.

[Claim 2] The semiconductor device according to claim 1 characterized by forming said 1st insulating coat with the photosensitive polyimide film.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by forming said 2nd insulating coat with the

photosensitive solder resist film.

[Claim 4] The semiconductor device according to claim 1, 2, or 3 characterized by said external connection terminal being a bump.

[Claim 5] The semiconductor device according to claim 1, 2, 3, or 4 characterized by forming said 1st insulating coat common on two or more preparations and these two or more semiconductor chips in said semiconductor chip, and for the necessary electrodes of two or more of said semiconductor chips being connected by said circuit pattern, and forming said 2nd insulating coat common on said circuit pattern.

[Claim 6] The semiconductor device according to claim 1, 2, 3, 4, or 5 characterized by forming the land which covers the base, the internal surface, and the periphery section of this bore in the external connection terminal joint exposed to the base of the bore formed in said 2nd insulating coat, and connecting said external connection terminal to this land.

[Claim 7] A photosensitive resist is applied on the semiconductor chip side in which the electrode was exposed to and the passivation film was formed. After giving exposure and development to this photosensitive resist, forming the bore which exposes said electrode and considering as the 1st insulating coat, Covering formation of the conductor layer

is carried out by sputtering etc. on said front face containing said bore of the 1st insulating coat, it etches into this conductor layer and said electrode and the circuit pattern which flows electrically are formed in said bore part. Subsequently A photosensitive resist is applied to said front face containing this circuit pattern of the 1st insulating coat. the bore which gives exposure and development to this photosensitive resist and is exposed on said circuit pattern -- forming -- the 2nd insulating coat -- carrying out -- this -- the manufacture approach of the semiconductor device characterized by connecting external connection terminals, such as a solder ball, to the bore location of the 2nd insulating coat.

[Claim 8] the front face of said 2nd insulating coat -- a conductor layer -- forming -- this conductor layer -- etching -- giving -- this, after forming the circuit pattern formed in the front face of said 1st insulating coat in the bore part formed in the 2nd insulating coat, and the circuit pattern which flows electrically The manufacture approach of the semiconductor device according to claim 7 characterized by carrying out multilayer formation of the circuit pattern by applying a photosensitive resist to the front face of the 2nd insulating coat, and forming the upper insulating coat in it further.

[Claim 9] The manufacture approach of

the semiconductor device according to claim 7 or 8 characterized by processing formation of a necessary insulating coat etc. after preparing the ultraviolet-rays shielding layer which protects the circuit of a semiconductor chip from the ultraviolet rays used at a photolithography process, in case said insulating coat is formed except for the electrode section of a semiconductor chip on said passivation film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device of a chip size.

[0002]

[Description of the Prior Art] The semiconductor device with which the semiconductor chip was carried has the strong request of a miniaturization in order to raise the packaging density. The miniaturization of this semiconductor device is exactly a miniaturization of the package which encloses a semiconductor chip. In order to fill this request, the CSP type, i.e., a chip-size package, has appeared in recent years. Although there are various things in a CSP type, the example is shown in drawing 11. 10 is a

semiconductor chip and 12 is a ceramic substrate. The ceramic substrate 12 is mostly formed in the same size with the semiconductor chip 10. A circuit pattern 14 is formed on a ceramic substrate 10, and this circuit pattern 14 is connected to the land (external terminal) 18 formed in the ceramic substrate 12 inferior-surface-of-tongue side by necessary arrangement through beer 16. A semiconductor chip 10 is connected to a circuit pattern 14 through the AgPd paste 22 with the Au bump 20, and the closure of the resin 24 is carried out to the clearance between a semiconductor chip 10 and a ceramic substrate 12.

[0003]

[Problem(s) to be Solved by the Invention] According to the above-mentioned semiconductor device, a miniaturization is attained, but since a ceramic substrate 10 is used or the Au bump 20 is used, it becomes expensive. Then, manufacture becomes easy with a simple configuration and the place which this invention is made that the above-mentioned trouble should be solved, and is made into the purpose is to offer the semiconductor device made cheaply.

[0004]

[Means for Solving the Problem] This invention is equipped with the next configuration in order to attain the above-mentioned purpose. Namely, on the semiconductor chip side in which the passivation film was formed, expose the

electrode of this semiconductor chip and the 1st insulating coat is formed. Connect with the electrode of said semiconductor chip and a circuit pattern is formed in the front face of the 1st insulating coat. this -- It is characterized by exposing the external connection terminal joint of a circuit pattern, forming the 2nd insulating coat on this circuit pattern, and forming the external connection terminal in said exposed external connection terminal joint. Moreover, it is characterized by forming said 1st insulating coat with the photosensitive polyimide film. Moreover, it is characterized by forming said 2nd insulating coat with the photosensitive solder resist film. Moreover, it is characterized by said external connection terminal being a bump. Moreover, said 1st insulating coat common on two or more preparations and these two or more semiconductor chips is formed in said semiconductor chip, the necessary electrodes of two or more of said semiconductor chips are connected by said circuit pattern, and it is characterized by forming said 2nd insulating coat common on said circuit pattern. Moreover, the land which covers the base, the internal surface, and the periphery section of this bore is formed in the external connection terminal joint exposed to the base of the bore formed in said 2nd insulating coat, and it is characterized by connecting said external

connection terminal to this land. Moreover, a photosensitive resist is applied on the semiconductor chip side in which the electrode was exposed to and the passivation film was formed in the manufacture approach of a semiconductor device. After giving exposure and development to this photosensitive resist, forming the bore which exposes said electrode and considering as the 1st insulating coat, Covering formation of the conductor layer is carried out by sputtering etc. on said front face containing said bore of the 1st insulating coat. Etch into this conductor layer and said electrode and the circuit pattern which flows electrically are formed in said bore part. Subsequently, a photosensitive resist is applied to said front face containing this circuit pattern of the 1st insulating coat. the bore which gives exposure and development to this photosensitive resist and is exposed on said circuit pattern -- forming -- the 2nd insulating coat -- carrying out -- this -- it is characterized by connecting external connection terminals, such as a solder ball, to the bore location of the 2nd insulating coat. moreover, the front face of said 2nd insulating coat -- a conductor layer -- forming -- this conductor layer -- etching -- giving -- this, after forming the circuit pattern formed in the front face of said 1st insulating coat in the bore part formed in the 2nd insulating coat, and the circuit pattern which flows

electrically By applying a photosensitive resist to the front face of the 2nd insulating coat, and forming the upper insulating coat in it further, it is characterized by carrying out multilayer formation of the circuit pattern. Moreover, in case said insulating coat is formed except for the electrode section of a semiconductor chip on said passivation film, after preparing the ultraviolet-rays shielding layer which protects the circuit of a semiconductor chip from the ultraviolet rays used at a photolithography process, it is characterized by processing formation of a necessary insulating coat etc.

[0005]

[Function] Since the 1st and 2nd insulating coats used as INTAPOZA can be formed thinly according to the semiconductor device concerning this invention, it can form in a thin semiconductor device and reduction-ization of cost can also be attained. Since the degree of hardness is not so high, a semiconductor chip front face is protected or the 1st and 2nd insulating coat does so the effectiveness produced between a semiconductor chip and a mounting substrate of functioning also as thermal or a buffer coat which eases mechanical stress. Moreover, the effectiveness that manufacture also becomes easy by being able to aim at improvement in electrical characteristics, such as delay prevention of a signal, by

connecting electrically the necessary electrodes of two or more semiconductor chips, and forming the 1st and 2nd insulating coats in common is done so. Moreover, according to the manufacture approach of the semiconductor device concerning this invention, especially when the semiconductor device of a chip size can be obtained easily and an ultraviolet-rays shielding layer is prepared, it is effective in manufacture of the semiconductor device of a negative mold.

[0006]

[Embodiment of the Invention] Hereafter, the suitable operation gestalt of this invention is explained to a detail based on an accompanying drawing. Drawing 1 shows the sectional view of a semiconductor device 30. The passivation film with which a semiconductor chip and 34 consist of SiO₂ grade in 32, and 36 are aluminum pads which are the electrodes made by the semiconductor chip 32. The passivation film 34 of the part of the aluminum pad 36 was not formed, but has exposed the aluminum pad 36. Many aluminum pads 36 are formed on the semiconductor chip 32 by the necessary pattern. 38 is the 1st insulating coat, covers the passivation film 34 and is formed. This 1st insulating coat 38 can be formed using photosensitive resists, such as photosensitive polyimide. In addition, the 1st insulating coat 38 may be made to serve as the function of the passivation

film, without preparing the passivation film in a semiconductor chip 32 depending on the case.

[0007] 40 is a circuit pattern, and it connects with the aluminum pad 36 electrically, and it is formed on the 1st insulating coat 38 by the necessary pattern. A circuit pattern 40 forms Cu or aluminum coat on the 1st insulating coat 38 and the aluminum pad 36 by sputtering, etches this Cu or aluminum coat, and is formed in a necessary pattern. Moreover, metallic foils, such as copper foil, may be stuck and etched and a pattern may be formed. 42 is the 2nd insulating coat, covers the 1st insulating coat 38 and circuit pattern 40, and is formed. The 2nd insulating coat 42 is a protective coat, and can use the photosensitive solder resist of the various quality of the materials, such as polyimide.

[0008] The bore 44 is formed in the proper part corresponding to each circuit pattern 40 of the 2nd insulating coat 42 so that it may become matrix-like arrangement for example, on the 2nd insulating coat 42 (the part of the circuit pattern 40 exposed by the bore 44 is external connection terminal joint 40a). 46 is a bump who is an external connection terminal, through each bore 44, it connects with each external connection terminal joint 40a electrically, and it is arranged, is projected on the 2nd insulating coat 42, and is formed in the

external connection terminal. Although a bump 46 can also form in a ball bump like illustration, it can form in the configuration of the flat shape of a land and flat others. Moreover, instead of forming in the shape of a bump, a lead pin can be joined and it can also consider as an external connection terminal. 48 is a protective coat, it covers the side attachment wall of a semiconductor chip 32, the passivation film 34, and the 1st insulating coat 38, is formed, and prevents penetration of the moisture from the boundary of each class etc. If a protective coat 48 is formed in coincidence using the 1st insulating coat 38 and the thing of this quality of the material when forming the 1st insulating coat 38, it is suitable. In addition, it is not necessary to necessarily form a protective coat 48. Moreover, the frame which replaces with a protective coat and consists of a metal etc. may be fixed.

[0009] Since the semiconductor device of this operation gestalt is formed as mentioned above, it can form as a semiconductor chip 32 and a semiconductor device 30 of the same size. Moreover, since the 1st and 2nd insulating coats 38 and 42 used as INTAPOZA can be formed thinly, it can form in the thin semiconductor device 30. Since the degree of hardness is not so high, semiconductor chip 32 front face is protected, or the 1st and 2nd insulating coat 38 and 42 functions also as a buffer

coat which eases the stress produced between a semiconductor chip and a mounting substrate. In addition, the field in which the electrode of a semiconductor chip 32 was formed, and the field of the opposite side are suitable, if it is made to expose and heat dissipation nature is raised. In order to raise heat dissipation nature furthermore, a heat sink or a heat spreading device may be fixed.

[0010] Drawing 2 shows an example of the production process of the above-mentioned semiconductor device 30. The photosensitive resist (photosensitive polyimide) for forming the 1st insulating coat 38 on the wafer (not shown) front face where many semiconductor chips 32 were made first is applied. Subsequently, while carrying out temporary quenching of a photosensitive resist, in order to remove the photosensitive resist of the part of the aluminum pad 36, it calcinates by performing exposure and development according to a well-known photolithography process, and the 1st insulating coat 38 is formed. Next, copper sputtering is performed and a copper coat is formed on the 1st insulating coat 38 and the aluminum pad 36 (a copper coat may be prepared as a conductor layer for forming a circuit pattern, and may form an aluminum coat etc.). A flow can be made good by giving copper plating further on a copper coat. In addition, a copper coat may be formed by the

approach of others, such as vacuum evaporation.

[0011] On a copper coat, a photosensitive resist is applied and calcinated [expose, develop and], a resist pattern is formed, this resist pattern is etched as a mask and a circuit pattern 40 is formed. A resist pattern exfoliates after that. Next, that the 2nd insulating coat 42 should be formed, on the 1st insulating coat 38 and a circuit pattern 40, a photosensitive resist (photosensitive solder resist) is applied and developed [expose and], and a bore 44 is formed. A reflow of the solder ball (bump 46) is arranged and carried out into this bore 44, and a solder ball is fixed on a circuit pattern 40. In addition, a bump performs nickel plating and Au plating and is nickel-Au. You may prepare by forming a bump. The wafer processed as mentioned above is sliced and the semiconductor device 30 of the piece of an individual is formed. If needed, a resist is applied to the side attachment wall of a semiconductor device 30, it is dried, and a protective coat 48 is formed. As mentioned above, by making on a wafer at coincidence, many semiconductor devices 30 can be formed at a stretch, and reduction-ization of cost can be attained. In addition, after slicing a wafer and forming in the semiconductor chip 32 of the piece of an individual, a semiconductor device 30 may be completed at the same process as the above.

[0012] With this operation gestalt, although photosensitive polyimide and a photosensitive solder resist were used in order to form the 1st insulating coat 38 and the 2nd insulating coat 42, various materials can be used as the insulating coat 38 of these 1st, and 2nd insulating coat 42, epoxy system resin besides polyimide system resin, silicone system resin, etc. can be used, and it can be suitably used by each insulating coat, being able to choose resin. In the case of silicone resin, since it has rubber-like elasticity, the stress especially produced between a semiconductor chip and a mounting substrate can be eased.

[0013] Drawing 3 shows the 2nd operation gestalt of a semiconductor device 30. With this operation gestalt, two or more semiconductor chips 32 are carried on the common substrates 47, such as a heat spreader. Each circuit pattern 40 corresponding to [on these two or more semiconductor chips 32, form the 1st common insulating coat 38 like the above, and] each semiconductor chip 32 to this insulating coat 38 top, The circuit pattern 45 which connects between electrode 36 for connecting the adjoining semiconductor chip 32 electrically is formed like said operation gestalt. The 2nd common insulating coat 42 is formed like the above on it, and a bump 46 is formed in external connection terminal joint 40a of each circuit pattern 40. That is, it forms in one semiconductor

device 30 using two or more semiconductor chips 32. As two or more semiconductor chips 32, cache memory and two or more memory can be connected [MPU], for example.

[0014] With this operation gestalt, since two or more semiconductor chips were formed on the common substrate and between connection pads was connected electrically, wiring can be shortened and the semiconductor device (multi chip module) excellent in electrical characteristics, such as delay prevention of a signal, can be offered. Moreover, manufacture also becomes easy by carrying out the 1st and 2nd insulating coats in common, and forming them. In addition, if the side face of two or more semiconductor chips 32 is held with a common frame (not shown), it is not necessary to carry a semiconductor chip on the common substrate 47. Moreover, two or more semiconductor chips can be formed on a common wafer. The semiconductor device 30 of this operation gestalt can also be manufactured at the same process as the above.

[0015] In the production process of the above-mentioned semiconductor device, in case a solder ball (bump 46) is arranged and it fixes on a circuit pattern 40 in a bore 44, drawing 4 shows the example which fixed the solder ball, after forming a land 50 in the inside of a bore 44, and the periphery of a bore 44 beforehand. What is necessary is to carry

out sputtering of the copper etc. to the front face of the insulating coat 42, to form a metal layer in it, and just to etch so that only the interior and the periphery section of a bore 44 may leave a metal layer according to a photolithography process after forming the 2nd insulating coat 42 which has a bore 44, in order to form a land 50. By having connected the land 50 to external terminal joint 40a of a circuit pattern 40 on the base, and having covered the internal surface and the periphery section of a bore 44, as compared with the case where a land 50 is not formed, it joins to the whole inside of a bore 44, and a solder ball (bump 46) is certainly attached in a bore 44. Moreover, an electric flow with a solder ball and a circuit pattern 40 becomes certain. In addition, after etching a metal layer and forming a land 50, if nickel plating and gilding are given to the front face of a land 50 as protection plating, a bump 46 can be joined still more certainly.

[0016] Drawing 5 shows the example of the semiconductor device which carried out multilayer formation of the circuit pattern 40. In addition to the 1st insulating coat 38 and the 2nd insulating coat 42, the semiconductor device of this operation gestalt has the 3rd insulating coat 52 and the 4th insulating coat 54. The circuit pattern 40 prepared in the front face of the 1st insulating coat 38 and circuit pattern 40b through which it

flows electrically are prepared in the front face of the 2nd insulating coat 42, and circuit pattern 40b and circuit pattern 40c through which it flows electrically are prepared in the front face of the 3rd insulating coat 52. In the 4th insulating coat 54, it flows electrically at circuit pattern 40c, a land 50 is attached, and the bump 46 is joined to the land 50.

[0017] The approach of forming the 1st insulating coat 38 and the 2nd insulating coat 42 with the operation gestalt mentioned above as an approach of connecting the circuit pattern 40 between each class electrically, and connecting a circuit pattern 40 and a land 50 can apply as it is. namely, the front face of the insulation coat in order to form an insulating coat, after forming a bore in the part which connects a circuit pattern 40 between layers by applying and developing [expose and] photosensitive resists, such as a polyimide system or an epoxy system, -- conductors, such as copper, -- a circuit pattern is formed, connecting with the lower layer circuit pattern 40 electrically by forming a metal by sputtering or vacuum evaporation, and etching the formed conductor layer. Also about the following layer, a photosensitive resist is similarly applied on the insulating coat concerned, a front face is made flat, is exposed and developed, a bore is formed, a conductor layer is formed and etched on an insulating coat, and a circuit pattern is

formed on the layer concerned.

[0018] Thus, a circuit pattern 40 can be formed in a multilayer, taking an electric flow through an insulating coat. With the operation gestalt shown in drawing 5 , the land 50 was formed in the 4th insulating coat 54 which is the outermost layer, and the solder ball (bump 46) is joined to it. Thus, by carrying out multilayer formation of the circuit pattern 40, the degree of freedom which forms a circuit pattern 40 becomes large.

Drawing 6 shows the example which incorporated the capacitor 56 or a component for circuits called resistance 58 as an application at the time of carrying out multilayer formation of the circuit pattern 40. When multilayer formation of the circuit pattern 40 is carried out, it becomes easy to incorporate the component for circuits in this way, and it becomes possible to provide as a more nearly multi-purpose semiconductor device. A capacitor and resistance can be built according to thin film processes, such as sputtering.

[0019] In order to form an insulating coat in the production process of each semiconductor device mentioned above, a photosensitive resist is used, a bore 44 is formed in an insulating coat according to a photolithography process, or a circuit pattern is formed in the front face of an insulating coat. At this photolithography process, the circuit formed in the semiconductor device of exposure of

ultraviolet rays in the production process of an actual semiconductor device from ultraviolet rays being used for exposure needs to be made not to damage. In addition, that exposure by these ultraviolet rays has a bad influence on a semiconductor chip is the case where the photosensitive resist of a negative mold is used. In the photosensitive resist of a negative mold, since the exposed part turns into a part which is not dissolved at the time of development, in case it exposes, the mask of the part which carries out dissolution removal at a back process is carried out, and the part which it finally leaves is exposed. For example, as shown in drawing 7, when forming the 1st insulating coat 38 on the passivation film 34, after applying a photosensitive resist, the mask of the aluminum pad 36 is carried out, and the range of except is exposed. For this reason, ultraviolet rays are irradiated by range other than aluminum pad 36 which carried out the mask, ultraviolet rays penetrate to the front face of a semiconductor chip 32 through a photosensitive resist and the passivation film 34, and a semiconductor chip 32 may be damaged by this.

[0020] In addition, dissolution removal of the part which the photosensitive resist of a positive mold exposed is carried out. Therefore, in the example which forms a bore in the part of the aluminum pad 36 by the 1st above-mentioned insulating coat 38, after applying a photosensitive

resist, the mask of the range other than aluminum pad 36 is carried out, and ultraviolet rays are irradiated only at aluminum pad 36 part. Since the circuit is not formed in the part of the aluminum pad 36, there is no fear of the circuit of a semiconductor chip 32 being damaged by this UV irradiation. In addition, also in the photolithography process for forming a circuit pattern 40 in the front face of the 1st insulating coat 38 or the 2nd insulating coat 42, since UV irradiation is performed into the part which has metal layers, such as a copper layer for surely forming a circuit pattern 40, in a substrate when using the photosensitive resist of a positive mold, there is no fear of the circuit of a semiconductor chip 32 being damaged.

[0021] The method of forming the ultraviolet-rays shielding layer 60 which covers the ultraviolet rays used at a photolithography process in the front face of the passivation film 34, as it is shown in drawing 8 as an approach of preventing that a semiconductor chip 32 receives damage at the photolithography process which uses the photosensitive resist of the above-mentioned negative mold is effective. The ultraviolet-rays shielding layer 60 protects the circuit formed in the semiconductor chip 32 from ultraviolet rays, and as shown in drawing 8, before it forms the 1st insulating coat 38 about the range except the aluminum pad 36, it prepares it. The

ultraviolet-rays shielding layer 60 is formed by two or more metal layers, such as Cr metal layer, Cu metal layer, or a Cr metal layer-nickel metal layer-Cu metal layer. When using Cr metal layer, there are functions of enough of ultraviolet-rays electric shielding by the thickness of about 0.1 micrometers. When forming the ultraviolet-rays shielding layer 60, Cr metal layer etc. is first formed by sputtering or vacuum evaporation on the passivation film 34 of a semiconductor chip 32, elegy SUTOPATAN which exposed only aluminum pad 36 part on the front face is formed, and it forms by etching Cr metal layer etc. by using a resist pattern as a mask.

[0022] If the above-mentioned ultraviolet-rays shielding layer 60 is formed, even if it is the case where an insulating coat is formed using the photosensitive resist of a negative mold, there is no fear of a semiconductor chip 32 receiving damage by ultraviolet rays at a photolithography process, and UV irradiation can be carried out by the pattern of arbitration. Drawing 9 R> 9 shows the condition of applying and exposing the photosensitive resist of a negative mold in order to form the 1st insulating coat 38. Ultraviolet rays are covered by the ultraviolet-rays shielding layer 60 prepared in the lower layer of a photosensitive resist, and the circuit of a semiconductor chip 32 can be protected

and exposed by it. After forming a circuit pattern 40 in the front face of the 1st insulating coat 38, the same is said of the exposure in the case of forming the 2nd insulating coat 42 further. Drawing 10 shows the semiconductor device which formed the ultraviolet-rays shielding layer 60 and was obtained in the example of formation of the semiconductor device shown in drawing 4 . Only the point of having formed the ultraviolet-rays shielding layer 60 on the passivation film 34 is different from the operation gestalt shown in drawing 4 . In the semiconductor device which carries out multilayer formation of the circuit pattern 40, the ultraviolet-rays shielding layer 60 can be prepared and formed similarly. In addition, even when the ultraviolet-rays shielding layer 60 is formed, of course, the photosensitive resist of not only the photosensitive resist of a negative mold but a positive mold may be used.

[0023]

[Effect of the Invention] Since according to the semiconductor device concerning this invention the 1st and 2nd insulating coats used as INTAPOZA can be thinly formed as mentioned above, it can form in a thin semiconductor device and reduction-ization of cost can also be attained. Since the degree of hardness is not so high, a semiconductor chip front face is protected or the 1st and 2nd insulating coat functions also as a buffer

coat which eases the stress produced between a semiconductor chip and a mounting substrate. Moreover, the effectiveness that manufacture also becomes easy by being able to aim at improvement in electrical characteristics, such as delay prevention of a signal, by connecting electrically the necessary electrode of two or more semiconductor chips, and forming the 1st and 2nd insulating coats in common is done so. moreover, suitable in especially the thing that the semiconductor device of a chip size could be obtained easily and certainly, and the degree of freedom which forms a circuit pattern by carrying out multilayer formation of the circuit pattern could be increased, and prepared the ultraviolet-rays shielding layer, according to the manufacture approach of the semiconductor device concerning this invention, when manufacturing using the photosensitive resist of a negative mold -- etc. -- higher efficacy is done so.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view having shown the 1st operation gestalt of a semiconductor device.

[Drawing 2] It is the production process Fig. of a semiconductor device.

[Drawing 3] It is the sectional view having shown the 2nd operation gestalt of a semiconductor device.

[Drawing 4] It is the sectional view having shown the operation gestalt of the semiconductor device which formed the land in the bump joint.

[Drawing 5] It is the sectional view having shown the operation gestalt of the semiconductor device which carried out multilayer formation of the circuit pattern.

[Drawing 6] It is the sectional view having shown the operation gestalt of the semiconductor device incorporating the component for circuits.

[Drawing 7] It is the sectional view having shown signs that a photosensitive resist was exposed.

[Drawing 8] It is the sectional view which prepared the ultraviolet-rays shielding layer on the passivation film.

[Drawing 9] It is the sectional view having shown the situation of the exposure at the time of forming the 1st insulating coat.

[Drawing 10] It is the sectional view having shown the operation gestalt of the semiconductor device which prepared the ultraviolet-rays shielding layer.

[Drawing 11] It is the sectional view showing an example of the conventional semiconductor device.

[Description of Notations]

30 Semiconductor Device

32 Semiconductor Chip

34 Passivation Film
36 Aluminum Pad
38 1st Insulating Coat
40, 40b, 40c Circuit pattern
40a External connection terminal joint
42 2nd Insulating Coat
44 Bore
48 Protective Coat
50 Land
52 3rd Insulating Coat
54 4th Insulating Coat
56 Capacitor
58 Resistance
60 Ultraviolet-Rays Shielding Layer

[Translation done.]